

ELECTRO-OPTIC DEVICE AND ITS PRODUCTION

Publication number: JP10339889

Publication date: 1998-12-22

Inventor: HIRAKATA YOSHIHARU; YAMAZAKI SHUNPEI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- International: G02F1/1339; G02F1/1333; G02F1/136; G02F1/1368; G09F9/30; H01L21/336; H01L29/786; G02F1/13; G09F9/30; H01L21/02; H01L29/66; (IPC1-7): G02F1/136; G02F1/1333; G02F1/1339; G09F9/30; H01L21/336; H01L29/786

- european:

Application number: JP19970167990 19970609

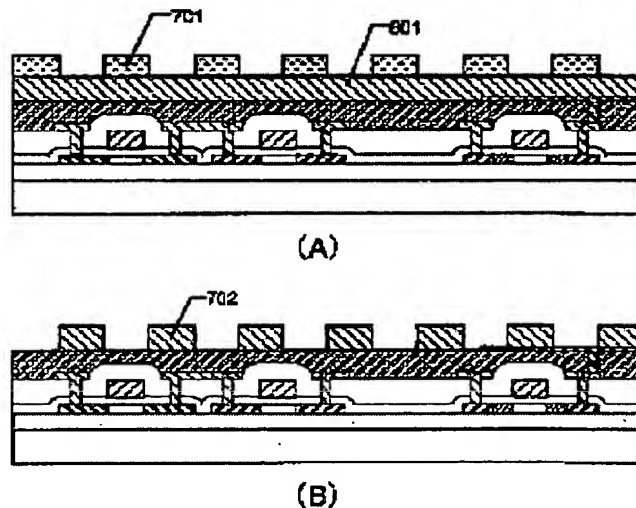
Priority number(s): JP19970167990 19970609

Report a data error here

Abstract of JP10339889

PROBLEM TO BE SOLVED: To obtain a device without irregular cell thickness and irregular display by flattening the upper faces of plural gap holding members to control the cell gap and producing cells having a small and uniform cell gap. **SOLUTION:**

The upper faces of plural gap holding members are flattened to control the cell gap. In the production of this electro-optic device, first, an active matrix substrate having plural driving circuit TFTs (driving circuit region) and plural pixel TFTs (pixel region) integrated on one substrate is produced. Then a photosensitive polyimide film is formed by spin coating to specified thickness on the obtd. substrate. The upper face of the photosensitive polyimide film is polished by CMP(chemical mechanical polishing) treatment to be flattened. Then the photosensitive polyimide film is covered with a photomask 701, irradiated with UV rays from above the active matrix substrate, and developed to obtain patterned cell gap holding members 702.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-339889

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.⁶
G 0 2 F 1/136 5 0 0
1/1333 5 0 0
1/1339 5 0 0
G 0 9 F 9/30 3 2 0
H 0 1 L 29/786

F I
G 0 2 F 1/136 5 0 0
1/1333 5 0 0
1/1339 5 0 0
G 0 9 F 9/30 3 2 0
H 0 1 L 29/78 6 1 2 Z

審査請求 未請求 請求項の数15 F D (全 11 頁) 最終頁に続く

(21) 出願番号 特願平9-167990

(22) 出願日 平成9年(1997)6月9日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 平形 吉晴

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 山崎 舜平

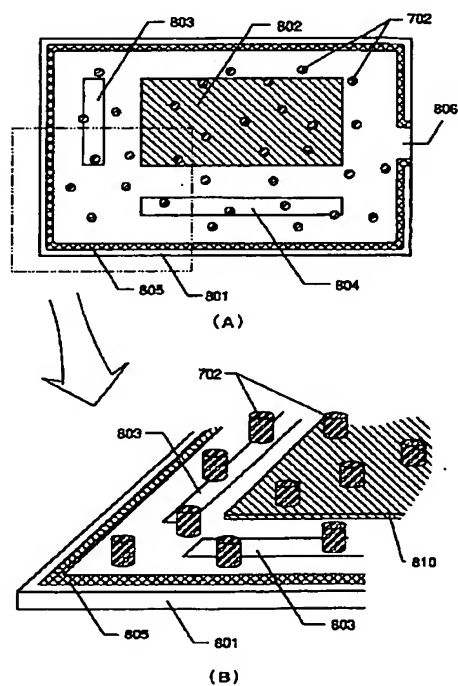
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 電気光学装置およびその製造方法

(57) 【要約】

【課題】 均一なセル厚を有しており、良好な表示特性を示す液晶表示装置を提供する。

【解決手段】 アクティブマトリクス基板と対向基板とのセルギャップを制御するためにセルギャップ保持材を用いる。セルギャップ保持材は、その上面があらかじめ化学機械研磨処理されるので、基板全体にわたって均一なセルギャップを確保することができる。



【特許請求の範囲】

【請求項 1】 複数の T F T と、前記 T F T に電氣的に接続された複数の画素電極と、を少なくとも有する第 1 の基板と、

第 2 の基板と、

前記第 1 の基板と前記第 2 の基板との基板間隔を保持する複数のギャップ保持材と、を少なくとも備えた電気光学装置であって、

前記複数のギャップ保持材の前記第 1 の基板あるいは前記第 2 の基板側のいずれか一方の上面は、化学機械研磨によって平坦化されることを特徴とする電気光学装置。

【請求項 2】 前記第 1 の基板と前記第 2 の基板との間に表示媒体をさらに備えた、請求項 1 に記載の電気光学装置。

【請求項 3】 前記表示媒体は、印加電圧にตอบสนองして光学的特性が変調される請求項 2 に記載の電気光学装置。

【請求項 4】 前記表示媒体は、液晶材料である請求項 3 に記載の電気光学装置。

【請求項 5】 前記表示媒体は、液晶材料と高分子との混合層である請求項 3 に記載の電気光学装置。

【請求項 6】 前記表示媒体は、エレクトロルミネセンス素子である請求項 3 に記載の電気光学装置。

【請求項 7】 前記ギャップ保持材は、紫外線硬化樹脂あるいは熱硬化樹脂から成る請求項 1 乃至 6 に記載の電気光学装置。

【請求項 8】 前記ギャップ保持材は、ポリイミド、アクリル、ポリアミド、またはポリイミドアミドのうちの何れか一つから成る請求項 7 に記載の電気光学装置。

【請求項 9】 複数の T F T と前記複数の T F T に電氣的に接続された複数の画素電極とを少なくとも有する画素領域と、前記複数の薄膜トランジスタを駆動する複数の薄膜トランジスタによって構成される複数の駆動回路を少なくとも有する、前記画素領域とは別の場所に設けられる駆動回路領域と、を少なくとも備える第 1 の基板と、

前記第 1 の基板に対向する第 2 の基板と、

複数のギャップ保持材と、を少なくとも備える電気光学装置であって、

前記複数のギャップ保持材の前記第 1 の基板あるいは前記第 2 の基板側のいずれか一方の上面は、化学機械研磨によって平坦化されることを特徴とする電気光学装置。

【請求項 10】 前記複数のギャップ保持材は、前記画素領域を除く領域に形成される請求項 9 に記載の電気光学装置。

【請求項 11】 前記複数のギャップ保持材は、前記画素領域および前記駆動回路領域を除く領域に形成される請求項 9 に記載の電気光学装置。

【請求項 12】 前記ギャップ保持材は、円柱形、楕円柱形、多角柱形である請求項 9 乃至 11 に記載の電気光学装置。

【請求項 13】 複数の T F T と、前記 T F T に電氣的に接続された複数の画素電極と、を少なくとも有するアクティブマトリクス基板と、

少なくとも対向電極を有する対向基板と、

前記アクティブマトリクス基板と前記対向基板との基板間隔を保持する複数のギャップ保持材と、を少なくとも備えた電気光学装置であって、

前記複数のギャップ保持材は、前記対向基板に形成され、前記ギャップ保持材の上面は、化学機械研磨によって平坦化されることを特徴とする電気光学装置。

【請求項 14】 第 1 の基板上に複数の T F T を形成する工程と、

第 1 の基板および第 2 の基板の少なくとも一方の上に絶縁性材料から成る膜を形成する工程と、前記絶縁性材料から成る膜の表面を化学機械研磨した後、前記絶縁性材料から成る膜から複数のギャップ保持材を形成する工程と、を少なくとも含む電気光学装置の製造方法。

【請求項 15】 一对の基板と、前記一对の基板の間に配置された複数のギャップ保持材と、を少なくとも有する電気光学装置であって、

前記一对の基板の内側面には、少なくとも電極が設けられ、前記ギャップ保持材は、前記一对の基板のうちの少なくとも一方の内側面に形成され、前記ギャップ保持材の上面は、化学機械研磨によって平坦化されることを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】 本明細書で開示する発明は、薄膜トランジスタ（T F T と称される）を用いた電気光学装置に関する。また、その電気光学装置を作製する方法に関する。

【0003】

【従来の技術】

【0004】 最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（T F T）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

【0005】 アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれ T F T が配置され、各画素電極に出入りする電荷を T F T のスイッチング機能により制御するものである。

【0006】 ここで、薄膜トランジスタが配置されたアクティブマトリクス型液晶表示装置の基本的な構成を図 1 を用いて説明する。まず、液晶表示装置を基板に対して垂直な方向に切断した断面図を、図 1（A）に示す。この断面は、図 1（B）の A-A' で示される破線で切断した断面図に相当する。

【0007】 下地基板 101 は、透光性であり、絶縁膜

が基板表面に形成されている（図示せず）。１０２はＴＦＴの活性層、１０３はゲイト電極、１０４はデータ線、１０５はドレイン電極、１０６は層間絶縁膜、１０７はブラックマトリクス、１０８は透明導電性膜から成る画素電極、１０９は配向膜である。

【０００８】上記のような構成を有するＴＦＴが配置された基板全体をアクティブマトリクス基板と呼ぶことにする。なお、図１（Ａ）では１つの画素のみに注目しているが、実際には、数十～数百万個の画素スイッチングＴＦＴ（画素ＴＦＴと呼ぶ）を含む画素領域と、それらを駆動する複数のＴＦＴを含む周辺駆動回路領域とによってアクティブマトリクス基板が構成される。

【０００９】一方、１１０は透光性を有する基板であり、１１１は透明導電性膜から成る対向電極、１１２は配向膜である。このような構成をとるアクティブマトリクス基板と対向する基板全体を、対向基板と呼ぶことにする。

【００１０】図２（Ａ）に示すように、上記アクティブマトリクス基板および対向基板には、液晶材料の配向性を整えるためのラビングなどの配向処理が行われる。その後、アクティブマトリクス基板と対向基板との基板間隔（セルギャップ）を制御するために、アクティブマトリクス基板側に粒形のスペーサ２０１が基板全面に均一に散布される。次に、シール剤２０２が印刷される。シール剤２０２は、基板同士を貼り合わせる接着剤としての役割と、基板間に注入される液晶材料が基板外部に漏れないように封入するための封止剤としての役割とを果たす。

【００１１】次に、アクティブマトリクス基板と対向基板とを貼り合わせる。その後、アクティブマトリクス基板と対向基板との間に液晶材料が充填され、液晶注入口が封止材で封止される。こうして、図１（Ａ）に示すような構成を有するアクティブマトリクス型液晶表示装置が作製される。

【００１２】しかし、上記のような構成を有する液晶表示装置には以下のような問題点がある。

【００１３】アクティブマトリクス基板および対向基板の上面は、完全に平坦ではない。よって、アクティブマトリクス基板の上面に粒形のスペーサを散布し、セルギャップを確保しても、セルのギャップむらが生じ、基板全体に渡って均一なセル厚を実現することができない。その結果、対向基板にひずみを生じることになる。セル厚ムラや対向基板にひずみの生じた液晶表示装置には、表示ムラが生じる、対向基板上面に干涉縞が生じるなどの欠陥が現れる。

【００１４】特に、液晶の複屈折性を用いて表示を行うような場合は、セルギャップの不均一性は、表示の劣化に顕著に現れる。

【００１５】また、図１（Ｂ）に示すように、粒形のスペーサ１１５が画素領域に存在する場合、スペーサ１１

５の近傍は液晶材料の配向性が乱れるため、画像表示の乱れ（ディスクリネーション）が観測される場合がある。

【００１６】上述したように、従来の粒形のスペーサを用いてセルギャップを制御する場合は、良好な表示を得ることができないことがある。

【００１７】また、一般的に製造または試作されている液晶表示装置は画素ピッチに関係なく、４～６μｍ程度のセルギャップを確保しているようであるが、今後は、液晶パネルの高精細化が求められ、画素ピッチを更に微細化する傾向が強まってきている。

【００１８】例えば、投射型液晶表示装置（プロジェクション）は、画像をスクリーンに拡大投射することを考えて可能な限り高精細な画像を表示できることが望ましい。またコストの面からも光学系を小型化する必要がある、パネルサイズを小さくすることが必要である。このため、今後は画素ピッチが４０μｍ以下、好ましくは３０μｍ以下の液晶表示装置を作製する必要がある。

【００１９】このような高精細な画像を必要とする液晶表示装置には、数μｍの粒形スペーサでさえも、有効表示領域に存在する場合は表示品質の劣化につながる。

【００２０】さらに、従来の粒形のスペーサは、液晶材料注入時に、液晶材料の流動によって粒形のスペーサ自体も流れてしまい、結果として均一なスペーサ散布密度を得ることができず、セル厚ムラの原因となることがあった。

【００２１】また、最近注目されてきている強誘電性液晶を用いた液晶表示装置や、反射型液晶表示装置には、その特性上、小さいセルギャップが求められている。

【００２２】しかし、従来のような粒形のスペーサを用いて小さく均一なセルギャップを有するセルを作製することは、一般的に困難である。

【００２３】

【発明が解決しようとする課題】

【００２４】本発明は、従来の粒形のスペーサを用いては困難であった、小さく均一なセルギャップを有するセルを作製することによって、セル厚ムラおよび表示ムラのない電気光学装置を提供することを課題とする。また、本発明は、あらかじめ決められた位置にスペーサを正確に配置することのできる電気光学装置を提供することを課題とする。

【００２５】

【課題を解決するための手段】

【００２６】本発明のある実施態様によると、複数のＴＦＴと、前記ＴＦＴに電気的に接続された複数の画素電極と、を少なくとも有する第１の基板と、第２の基板と、前記第１の基板と前記第２の基板との基板間隔を保持する複数のギャップ保持材と、を少なくとも備えた電気光学装置であって、前記複数のギャップ保持材の前記第１の基板あるいは前記第２の基板側のいずれか一方の

上面は、化学機械研磨によって平坦化されることを特徴とする電気光学装置が提供される。このことによって上記目的が達成される。

【0027】前記第1の基板と前記第2の基板との間に表示媒体をさらに備えていてもよい。

【0028】前記表示媒体は、印加電圧に応答して光学的特性が変調されてもよい。

【0029】前記表示媒体は、液晶材料であってもよい。

【0030】前記表示媒体は、液晶材料と高分子との混合層であってもよい。

【0031】前記表示媒体は、エレクトロルミネセンス素子であってもよい。

【0032】前記ギャップ保持材は、紫外線硬化樹脂あるいは熱硬化樹脂から成っていてもよい。

【0033】前記ギャップ保持材は、ポリイミド、アクリル、ポリアミド、またはポリイミドアミドのうちの何れか一つから成っていてもよい。

【0034】本発明のもう一つ別の実施態様によると、複数のTF Tと前記複数のTF Tに電気的に接続された複数の画素電極とを少なくとも有する画素領域と、前記複数の薄膜トランジスタを駆動する複数の薄膜トランジスタによって構成される複数の駆動回路を少なくとも有する、前記画素領域とは別の場所に設けられる駆動回路領域と、を少なくとも備える第1の基板と、前記第1の基板に対向する第2の基板と、複数のギャップ保持材と、を少なくとも備える電気光学装置であって、前記複数のギャップ保持材の前記第1の基板あるいは前記第2の基板側のいずれか一方の上面は、化学機械研磨によって平坦化されることを特徴とする電気光学装置が提供される。このことによって上記目的が達成される。

【0035】前記複数のギャップ保持材は、前記画素領域を除く領域に形成されてもよい。

【0036】前記複数のギャップ保持材は、前記画素領域および前記駆動回路領域を除く領域に形成されてもよい。

【0037】前記ギャップ保持材は、円柱形、楕円柱形、多角柱形であってもよい。

【0038】また、本発明のもう一つ別の実施態様によると、複数のTF Tと、前記TF Tに電気的に接続された複数の画素電極と、を少なくとも有するアクティブマトリクス基板と、少なくとも対向電極を有する対向基板と、前記アクティブマトリクス基板と前記対向基板との基板間隔を保持する複数のギャップ保持材と、を少なくとも備えた電気光学装置であって、前記複数のギャップ保持材は、前記対向基板に形成され、前記ギャップ保持材の上面は、化学機械研磨によって平坦化されることを特徴とする電気光学装置が提供される。このことによって上記目的が達成される。

【0039】また、本発明のもう一つ別の実施態様によ

ると、第1の基板上に複数のTF Tを形成する工程と、第1の基板および第2の基板の少なくとも一方の上に絶縁性材料から成る膜を形成する工程と、前記絶縁性材料から成る膜の表面を化学機械研磨した後、前記絶縁性材料から成る膜から複数のギャップ保持材を形成する工程と、を少なくとも含む電気光学装置の製造方法が提供される。

【0040】また、本発明のもう一つ別の実施態様によると、一对の基板と、前記一对の基板の間に配置された複数のギャップ保持材と、を少なくとも有する電気光学装置であって、前記一对の基板の内側面には、少なくとも電極が設けられ、前記ギャップ保持材は、前記一对の基板のうちの少なくとも一方の内側面に形成され、前記ギャップ保持材の上面は、化学機械研磨によって平坦化されることを特徴とする電気光学装置が提供される。このことによって上記目的が達成される。

【0041】

【作用】

【0042】本発明によると、複数のギャップ保持材の上面を平坦化し、セルギャップの制御を行うので、電気光学装置全体にわたって小さく均一なセル厚を得ることができる。

【発明の実施の形態】

【0043】本発明では、画素スイッチングTF Tと駆動回路TF Tとを同一基板上に一体形成し、電気光学装置を作製する。

【0044】

【実施例】

【0045】（実施例1）

【0046】本実施例の液晶を用いた反射型の電気光学装置の作製方法を以下に説明する。まず、アクティブマトリクス基板の作製について図3～図5を用いて説明する。それぞれの図の左側部分に駆動回路TF Tの作製工程を、右側部分に画素TF Tの作製工程を示すことにする。

【0047】最初に、図3（A）を参照する。石英基板あるいはガラス基板301上に下地酸化膜として酸化珪素膜302を100～300nmの厚さに形成する。この酸化珪素膜302の形成方法としては、酸素雰囲気中のスパッタ法やプラズマCVD法を用いればよい。

【0048】次に、プラズマCVD法やLPCVD法によってアモルファスもしくは多結晶のシリコン膜を30～150nm、好ましくは50～100nmの厚さに形成する。そして、熱アニールを行い、シリコン膜を結晶化させる。熱アニールは、500℃以上、好ましくは800～900℃の温度で行う。熱アニールによってシリコン膜を結晶化させた後、光アニールを行うことによって更に結晶性を高めてもよい。また、熱アニールによってシリコン膜を結晶化させる際に、特開平6-244104号広報に開示されているように、ニッケル等の元素

(触媒元素)を添加することによって、シリコンの結晶化を促進させてもよい。

【0049】次に、島状の周辺駆動回路TFTの活性層(Pチャンネル型TFT活性層303、Nチャンネル型TFT活性層304)、および画素TFT活性層305を形成する。図3では、便宜上、3つのTFTが示されているが、実際は、数百万個のTFTが同時に形成されている。

【0050】さらに、酸素雰囲気中でスパッタすることによって、厚さ50～200nmの酸化珪素のゲイト絶縁膜306を形成する。ゲイト絶縁膜を形成する方法としてプラズマCVD法を用いてもよい。プラズマCVD法によって酸化珪素膜を形成する場合には、原料ガスとして、一酸化二窒素(N_2O)、あるいは酸素(O_2)とモノシラン(SiH_4)との混合ガスを用いるのが好ましい。

【0051】その後、LPCVD法によって多結晶シリコン膜を、厚さ200nm～500nm、好ましくは200～600nmで基板全面に形成する。この多結晶シリコン膜は、導電性を高めるために微量の燐を含有していてもよい。この多結晶シリコン膜をエッチングすることによって、ゲイト電極307、308および309を形成する。

【0052】次に、図3(B)に示すように、イオンドーピング法によって全ての島状活性層にゲイト電極をマスクとした自己整合的な燐のドーピングを行う。ドーピングガスとしては、フォスフィン(PH_3)を用いる。この時の、ドーズ量は、 $1 \times 10^{12} \sim 5 \times 10^{13}$ 原子/ cm^2 とする。この結果、弱いN型領域(N-領域)310、311、312が形成される。

【0053】次に、図3(C)に示すように、Pチャンネル型TFTの活性層303を覆うフォトレジストのマスク313、および画素TFTの活性層305のうちゲイト電極309を覆うフォトレジストのマスク314を形成する。ゲイト電極を覆うフォトレジストのマスクは、ゲイト電極と平行に、ゲイト電極の端から3 μm 離れた部分までを覆う。そして、再びイオンドーピング法によって燐を注入する。ドーピングガスは、フォスフィンを用いる。ドーズ量は、 $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/ cm^2 とする。この結果、強いN型領域(N+領域)のソース/ドレイン315、316が形成される。画素TFTの活性層305の弱いN型領域(N-領域)312のうちマスク314で覆われていた領域317は、今回のドーピングでは燐が注入されない。したがって、領域317は、弱いN型領域のままである。

【0054】次に、図4(A)に示すように、Nチャンネル型TFTの活性層304、305をフォトレジストのマスク318で覆う。そして、ジボラン(B_2H_6)をドーピングガスとしてイオンドーピングを行い、島状領域303に硼素を注入する。ドーズ量は、 $5 \times 10^{14} \sim$

8×10^{15} 原子/ cm^2 とする。今回のドーピングでは、硼素のドーズ量が前述の図3(C)で示される工程においてドーピングされた燐のドーズ量を上回るため、先に形成されていた弱いN型領域310は、強いP型領域319に反転する。

【0055】以上のドーピングにより、強いN型領域(ソース/ドレイン)315、316、強いP型領域(ソース/ドレイン)319、弱いN型領域(低濃度不純物領域)317が形成される。本実施例においては、低濃度不純物領域317の幅xは、約3 μm である(図4(A))。

【0056】その後、450～850℃で、0.5～3時間熱アニールを施すことにより、ドーピング不純物を活性化させ、かつシリコンの結晶性を回復させる。この熱アニール処理により、ドーピングによるシリコン膜のダメージを回復させる。

【0057】次に、図4(B)に示すように、プラズマCVD法によって全面に酸化珪素の層間絶縁膜320を形成する。層間絶縁膜320の厚さは、300～600nmとする。この層間絶縁膜320は、窒化珪素膜、あるいは酸化珪素膜と窒化珪素膜との多層膜であってもよい。次に、層間絶縁膜320をウエットエッチング法によってエッチングし、ソース/ドレインにコンタクトホールを形成する。

【0058】その後、スパッタ法によって、厚さ200～600nmのチタン膜を形成し、これをエッチングして駆動回路の電極・配線321、322、323、および画素TFTの電極・配線324、325を形成する。上記駆動回路の電極・配線321、322、323、および画素TFTの電極・配線324、325は、Ti-Al-Tiといった多層膜で構成されてもよい。さらに、図4(C)に示すように、厚さ100～300nmのポリイミド膜326を形成する。このポリイミド膜上に、フォトレジスト327を形成し、フォトリソグラフィ法によって画素TFTの電極325まで達するコンタクトホールを形成する。

【0059】次に、画素電極を形成する。図5(A)に示すように、スパッタ法によりアルミニウムを主成分とする膜328を厚さ50～150nmに形成する。その後、図5(B)に示すように、マスク329を形成し、エッチングすることによって画素電極330を形成する(図5(C))。

【0060】なお、本実施例では、画素電極330には反射率の高い材料を用いる。本実施例では、画素電極330にアルミニウムを主成分とする材料を用いたが、その他、チタン、アルミニウムとシリコンとの合金、アルミニウムとチタンとの合金、あるいはアルミニウムとスカンジウムとの合金等を用いてもよい。あるいは、画素電極330は、これらの複数の材料の積層構造をとってもよい。

【0061】画素領域においては、それぞれの画素電極に少なくとも1つ以上のTFTが配置され、電気的に接続されている。駆動回路としては、シフトレジスタやアドレスデコーダなどが用いられる。また、その他の回路が必要に応じて構成される。

【0062】このようにして、複数の駆動回路TFT（駆動回路領域）と複数の画素TFT（画素領域）とが同一基板上に一体形成されたアクティブマトリクス基板が作製される。なお本実施例では、画素数は、縦1024×横768とした。なお、本明細書では、最端部の画素TFTを含む画素TFTが存在する領域を画素領域と呼び、最端部の駆動回路TFTを含む駆動回路TFTが存在する領域を駆動回路領域と呼ぶことにする。

【0063】TFT基板を良く洗浄し、TFT形成時の表面処理に用いられたエッチング液、レジスト剥離液等の各種薬品を十分に洗浄する。

【0064】次に、図6および図7を用いてギャップ保持材の形成工程を説明する。なお、便宜上、形成されるギャップ保持材とTFTとの縮尺は異ならせてある。

【0065】前述の工程によって得られたTFT基板を図6（A）に示す。図6（B）に示すように、スピコート法によって感光性ポリイミド膜601を厚さ4.2 μ mに形成した。その後、感光性ポリイミド膜601の膜厚をアクティブマトリクス基板全面に渡って均一にするために、30分間、常温で放置した（レベリング）。そして、上面に感光性ポリイミド膜601が形成されたアクティブマトリクス基板を120℃で3分間ブリベークした。

【0066】次に、感光性ポリイミド膜601の上面をCMP（化学機械研磨）処理によって研磨し、平坦化する。本実施例では、CMP工程のスラリには、シリカ（SiO₂）微粉を酸性溶液中に分散させたコロイド状のものを用いた。CMP処理の条件としては、基板を50rpmで、研磨布を50rpmで回転させ、研磨時間は3分間とした。このCMP処理工程によって、感光性ポリイミド膜601の上面は平坦化され、その膜厚は3.2 μ mであった。また、CMP処理を行った感光性ポリイミド膜601の加工精度は、0.1 μ mであった。

【0067】なお、本実施例では、CMP処理の際のスラリには、シリカ微粉を酸性溶液中に分散させたものを用いたが、酸化アルミニウム（Al₂O₃）や酸化セリウム（CeO₂）など酸性溶液中に分散させたものを用いてもよい。CMP処理を施す材料によってスラリを変えることが望ましい。また、本実施例では、基板を50rpmで、研磨布を50rpmで回転させ、3分間CMP処理を行ったが、CMP処理を施す材料によって、最適な回転数および時間で行うのが望ましい。

【0068】なお、CMP処理された感光性ポリイミド膜601の膜厚によって、セルギャップ（基板間隔）が決定されるので、所望のセルギャップに合わせて感光性

ポリイミド膜601の膜厚を適宜設定し、かつCMP処理によって研磨する膜厚を調整すればよい。言い換えると、精度の高いセルギャップが実現できる。

【0069】なお、本実施例では、感光性ポリイミド膜601の研磨および平坦化工程にCMPを用いたが、感光性ポリイミド膜601の上面を精度良く平坦化することができれば、いかなる方法によってこの処理工程を行ってもよい。例えば、エッチバックなどで処理してもよい。

【0070】次に、感光性ポリイミド膜601をパターンニングする。図7（A）に示すように、感光性ポリイミド膜601をフォトマスク701で覆い、アクティブマトリクス基板上部より紫外線を照射した。その後、現像処理を行い、280℃で1時間ポストベークを施した。こうして、図7（B）に示すように、パターンニングされたセルギャップ保持材702を形成した。本願明細書では、ギャップ保持材のCMP処理された面を上面と呼ぶことにする。

【0071】図8（A）に、本実施例のアクティブマトリクス基板801の上面図を示す。図8（B）は、図8（A）において点線で示された部分を拡大した斜視図を示す。なお、図8（A）および（B）では、便宜上、ギャップ保持材702、画素領域802、および駆動回路領域803、804の縮尺は異なって示されている。本実施例では、図8（A）および（B）に示されるようにギャップ保持材702の形状は円柱形であり、円柱の直径は4 μ m、高さは3.2 μ mである。本実施例では、ギャップ保持材702をランダムに配置した。ギャップ保持材702の配置密度は、40～160個/mm²とすればよい。本実施例では、ギャップ保持材702は、50個/mm²で配置された。

【0072】本実施例では、ギャップ保持材の形状は、円柱状としたが、ギャップ保持材の形状は、楕円形、流線形、あるいは、三角形、四角形などの多角形状であってもよく、アクティブマトリクス基板（第1の基板）と対向基板（第2の基板）とのギャップを制御できる形状であれば、いかなる形状を有することも許される。また、本実施例では、ギャップ保持材は全て同形としたが、複数種の形状を有したギャップ保持材が形成されてもよい。また、本実施例では、複数のセルギャップ保持材が、アクティブマトリクス基板前面に配置密度が均一となるように形成されたが、ある領域に形成されるギャップ保持材の数を多くしてもよい。

【0073】次に、対向電極が形成された対向基板（図示せず）を用意する。本実施例では、対向電極には、ITO（インディウム錫酸化物）を用いた。

【0074】その次に、配向膜（図示せず）をアクティブマトリクス基板上および対向基板上に形成する。配向膜には、ポリイミド系の垂直配向膜を用いた。このポリイミド系の垂直配向膜をスピコート法によってアクテ

ィブマトリクス基板上および対向基板上にコートする。本実施例では、スピンコート法によって配向膜を形成した。配向膜の厚さは、1000Åとした。その後、180℃の熱風を送り込むことによって加熱（ベーク）し、ポリイミドを硬化させた。

【0075】次に、配向膜が形成された対向基板表面を、毛足の長さ2～3mmのパフ布（レイヨン、ナイロン等の繊維）で一定方向に擦るラビング処理を行った。なお、本実施例では、アクティブマトリクス基板側のラビング処理は行わない。

【0076】その次に、アクティブマトリクス基板の外枠上にシール剤805を塗布した（図8（A））。その後、アクティブマトリクス基板と対向基板とを貼り合わせた。

【0077】次に、表示媒体としての液晶材料を液晶注入口806より注入する。よって、アクティブマトリクス基板と対向基板との間に液晶材料が挟持された状態となる。本実施例では、ギャップ保持材の形状は円柱形であるので、液晶材料注入時に生じる液晶材料とギャップ保持材の表面との流動抵抗が小さい。よって、基板全面に渡って均一に液晶材料を注入することができた。なお、ギャップ保持剤の形状および配置は、この流動抵抗が小さくなるのが好ましい。

【0078】その後、液晶材料注入口に封止剤（図示せず）を塗布し、紫外線を照射することによって封止剤を硬化させ、液晶材料をセル内に完全に封止した。

【0079】作製されたセルを用いて実際にその表示特性を調べたところ、セル表面には干渉縞が観察されなかった。また、ディスクリネーションのない良好な表示が得られた。

【0080】（実施例2）

【0081】本実施例は、ギャップ保持材が形成される領域が実施例1と異なる。図9を参照する。900はギャップ保持材、901はアクティブマトリクス基板、902は画素領域、903および904は駆動回路領域、905はシール剤、906は液晶注入口である。

【0082】図9に示すように、本実施例ではギャップ保持材900は、画素領域、あるいは駆動回路領域において、ある一定の間隔をおいて形成された。なお、画素領域においては、好ましくは、ギャップ保持材900は、TFTの信号線と選択線との交差している領域に形成されるのが好ましい。また、画素領域と駆動回路領域とで、ギャップ保持材900を形成する間隔を異ならせてもよい。

【0083】（実施例3）

【0084】本実施例は、ギャップ保持材が形成される領域が実施例1および2と異なる。図10を参照する。1000はギャップ保持材、1001は、アクティブマトリクス基板、1002は画素領域、1003および1004は駆動回路領域、1005はシール剤、1006

は液晶注入口である。

【0085】図10に示すように、本実施例ではギャップ保持材1000は、画素領域1002、ならびに駆動回路領域1003および1004を除く領域に配置された。

【0086】本実施例では、ギャップ保持材1000が画素領域および駆動回路領域に存在しないので、画素の実質的な開口率を低下させることがなく、かつアクティブマトリクス基板と対向基板との張り合わせ時に、画素領域および駆動回路領域のTFTに不必要な応力が生じることがない。よって、TFTがダメージを受けることがなく、製品の歩留まりの向上につながる。

【0087】（実施例4）

【0088】本実施例では、アクティブマトリクス側の構成は、実施例1、2、あるいは3と同じである。ただし、対向基板側の構成が異なる。

【0089】本実施例の電気光学装置は、対向基板側に画素電極が形成された後、有機性樹脂膜が形成される。本実施例では、この有機性樹脂膜には、ポリイミドを用いた。この有機性樹脂膜には、ポリイミドの他、アクリル、ポリアミド、ポリイミドアミドなどの樹脂が用いられてもよい。

【0090】次に、上記有機性樹脂膜を実施例1と同様の方法で、CMP処理する。よって、上記有機性樹脂膜は平坦化される。

【0091】その後、アクティブマトリクス基板および対向基板に配向膜が形成され、対向基板側にラビング処理が施される。以降の工程については、実施例1と同じである。

【0092】本実施例では、アクティブマトリクス基板側に設けられたギャップ保持材の上面が平坦であるだけでなく、対向基板に設けられた有機性樹脂膜の上面も平坦性が確保されているので、より均一なセルギャップが実現できる。

【0093】（実施例5）

【0094】実施例1～4ではプレーナ型TFTを例にとって説明してきたが、本発明は当然の如くTFTの構造には何ら影響されない。したがって、画素領域および駆動回路領域の個々のTFTが逆スタガ型TFTであっても、あるいはマルチゲイト型TFTであってもよい。

【0095】上記実施例1～4では、ギャップ保持材にはポリイミドを用いたが、アクリル、ポリアミド、またはポリイミドアミドなどの樹脂を用いてもよい。また、ギャップ保持材に熱硬化樹脂を用いてもよい。

【0096】さらに、上記実施例1～4では、ギャップ保持材は、アクティブマトリクス基板側に形成されたが、対向基板側に形成されてもよい。また、ギャップ保持材は、アクティブマトリクス基板および対向基板の両方に形成されてもよい。これらの場合も、ギャップ保持材の形成方法は、実施例1の方法に従ってもよい。

【0097】また、上記実施例1～4では、ポリイミドを用いてギャップ保持材を形成したが、他の絶縁性材料によってギャップ保持材を形成してもよい。

【0098】また、上記実施例1～4では、反射型の電気光学装置について述べてきたが、画素電極を透明電極するなどの変更を加えることによって、透過型の電気光学装置を形成してもよい。

【0099】なお、上記実施例1～4では、表示媒体として液晶材料を用いる場合について説明してきたが、本発明のギャップ保持材は、液晶材料と高分子との混合層、いわゆる高分子分散型液晶表示装置にも用いることができる。また、本発明の電気光学装置の表示媒体は、印加電圧に応答して光学的特性が変調され得るその他のいかなる表示媒体を用いてもよい。例えば、エレクトロルミネセンス素子などを表示媒体として用いてもよい。

【0100】また、上記実施例1～4では特に示さないが、カラー表示を行う必要がある場合には、対向基板側にカラーフィルタを設ければ良い。カラーフィルタには、厚さが均一で平坦であること、耐熱性および耐薬品性に優れていること等が要求される。

【0101】また、上記実施例1～4では、対向基板側ののみラビング処理を施したが、アクティブマトリクス基板側にラビング処理を施してもよい。また、アクティブマトリクス基板と対向基板との両側にラビング処理を施してもよい。

【0102】また、上記実施例では、アクティブマトリクス型の電気光学装置について述べてきたが、本発明は、TFTなどのアクティブ素子を有しないパッシブ型の電気光学装置にも適用することができるのは言うまでもない。

【0103】

【発明の効果】

【0104】本発明によると、ギャップ保持材の上面が平坦化される。また、ギャップ保持材の上面を化学機械研磨することによってセルギャップの精度が高くなる。よって、セル厚分布のない均一なセル厚を有する電気光学装置が得られる。また、本発明によると、粒形上のス

ペーサを散布することなしにセルギャップを確保することができるので、基板の貼り合わせ時にTFTに不必要な力がかかることを防ぐことができ、製品の歩留まりが向上する。

【図面の簡単な説明】

【図1】 従来のアクティブマトリクス型液晶表示装置の断面図および平面図である。

【図2】 従来のアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図3】 本発明によるアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図4】 本発明によるアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図5】 本発明によるアクティブマトリクス型液晶表示装置の作製工程を示す図である。

【図6】 本発明によるギャップ保持材の作製工程を示す図である。

【図7】 本発明によるギャップ保持材の作製工程を示す図である。

【図8】 本発明によるアクティブマトリクス型液晶表示装置の上面図および斜視図である。

【図9】 本発明によるアクティブマトリクス型液晶表示装置の上面図である。

【図10】 本発明によるアクティブマトリクス型液晶表示装置の上面図である。

【符号の説明】

101、110、401 基板

102 TFT活性層

103 ゲイト電極

104 データ線

105 ドレイン電極

106 層間絶縁膜

107 ブラックマトリクス

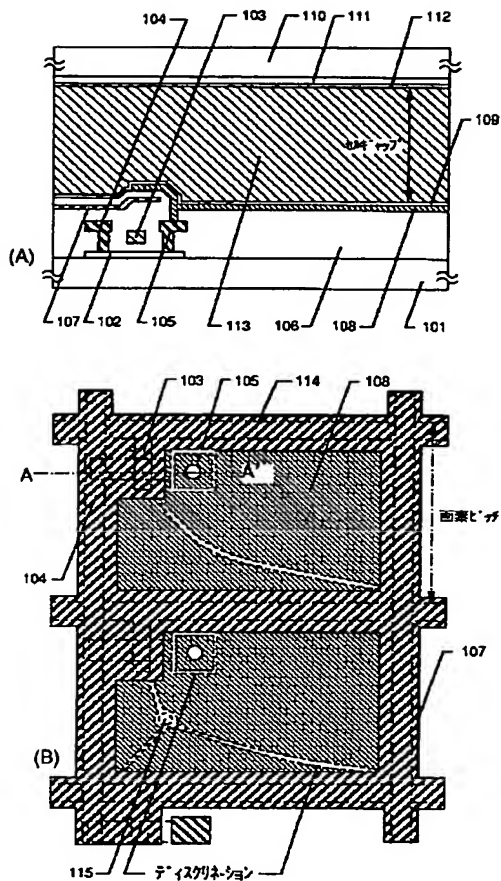
108 画素電極

109、112 配向膜

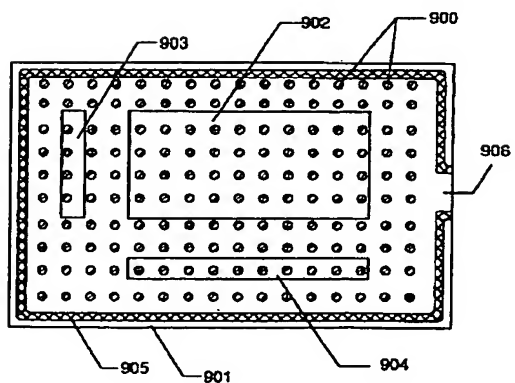
111 対向電極

702、900、1000 ギャップ保持材

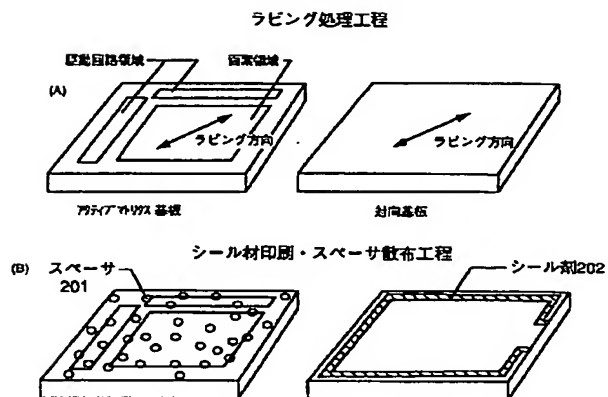
【図 1】



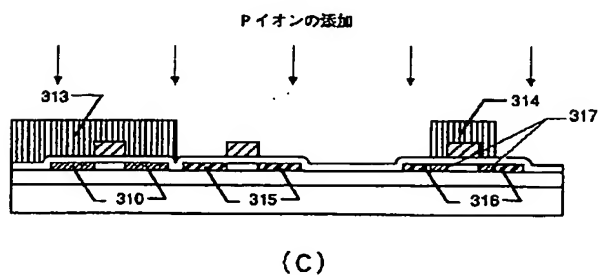
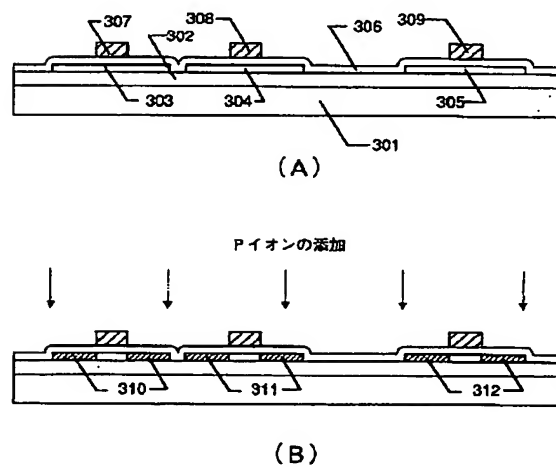
【図 9】



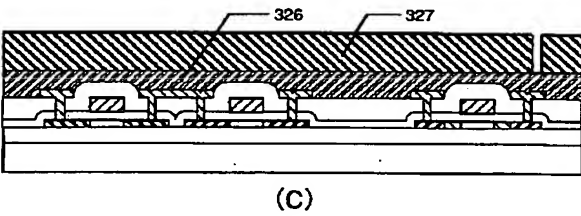
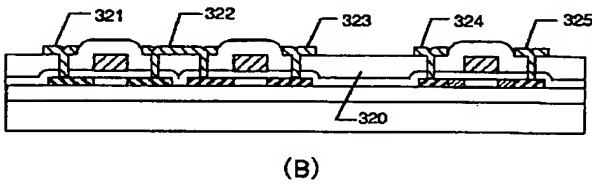
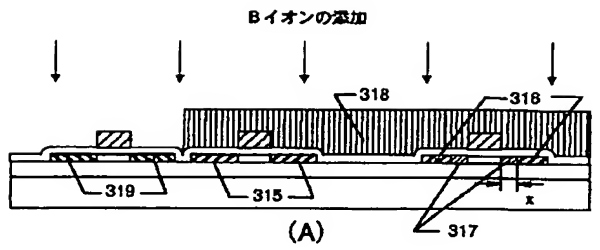
【図 2】



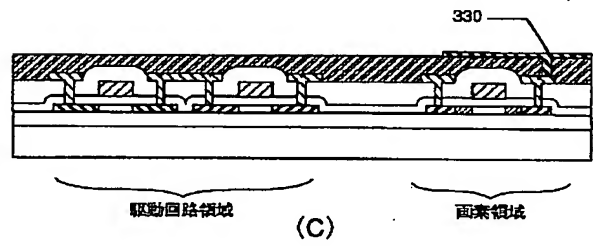
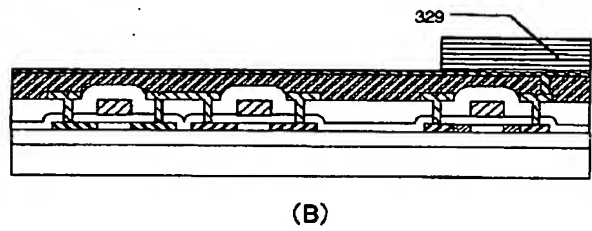
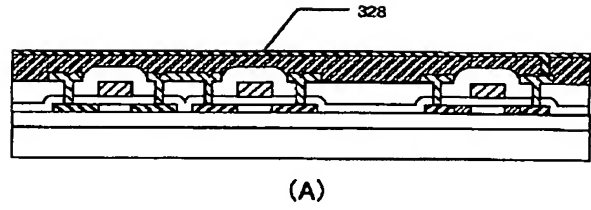
【図 3】



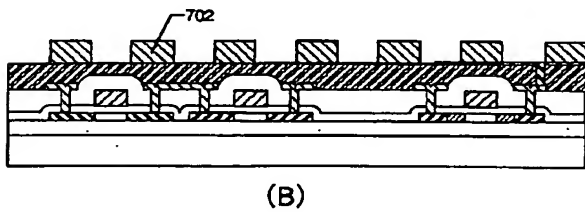
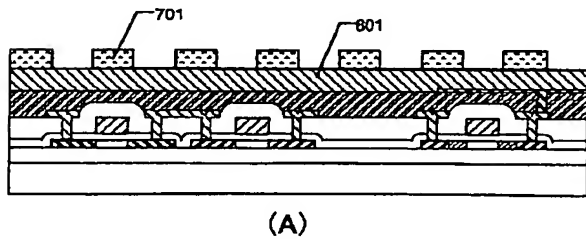
【図 4】



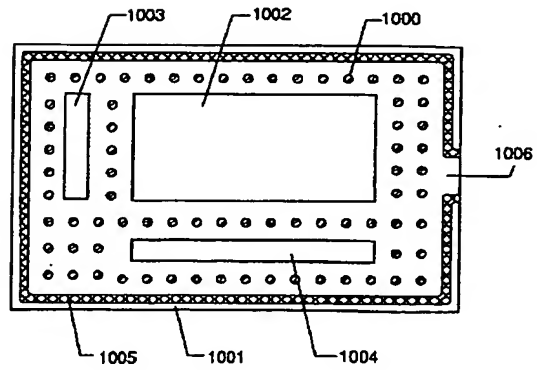
【図 5】



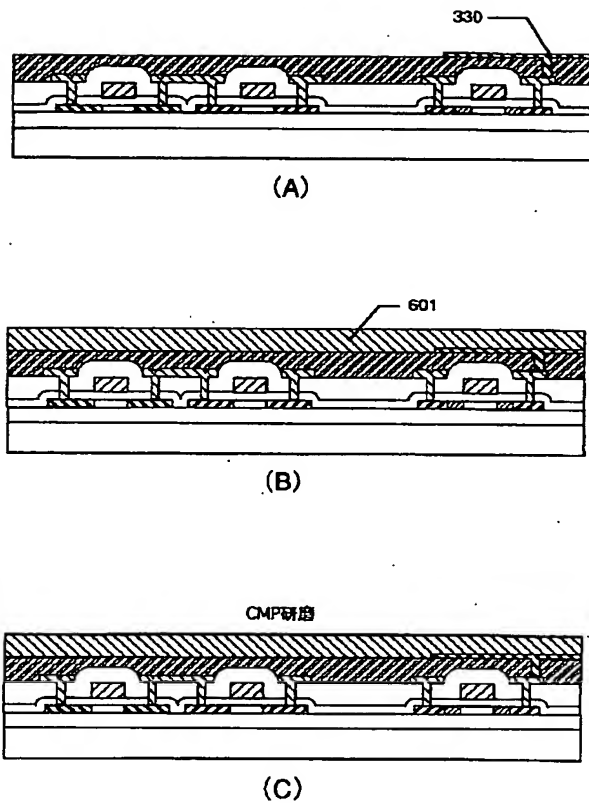
【図 7】



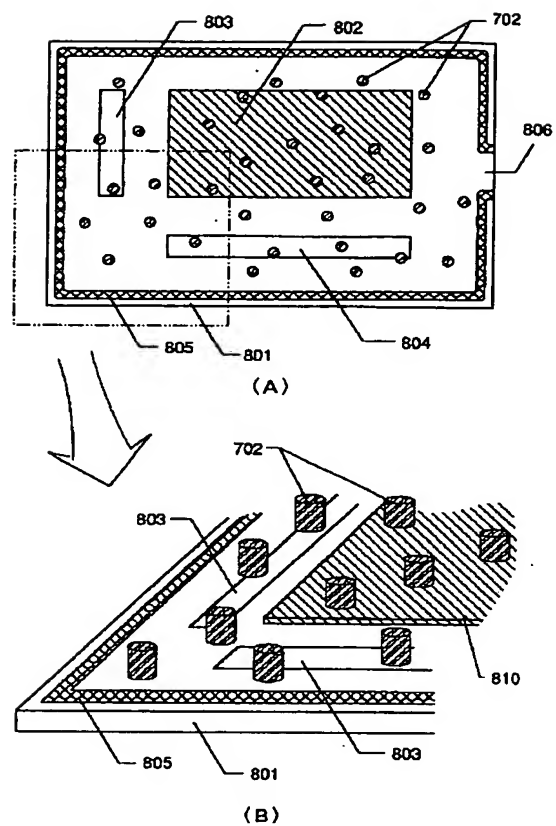
【図 10】



【図6】



【図8】



フロントページの続き

(51) Int. Cl.⁶
H 0 1 L 21/336

識別記号

F I
H 0 1 L 29/78

6 1 2 B